

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-111377

(43) 公開日 平成8年(1996)4月30日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/06
21/8232
21/28

G

H 0 1 L 27/ 06
21/ 90

F
N

審査請求 未請求 請求項の数11 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願平6-246299

(22) 出願日 平成6年(1994)10月12日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 奥 友希

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社光・マイクロ波デバイス開発研究
所内

(72) 発明者 笠井 信之

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社光・マイクロ波デバイス開発研究
所内

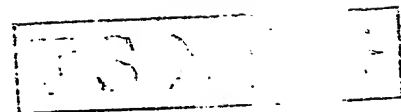
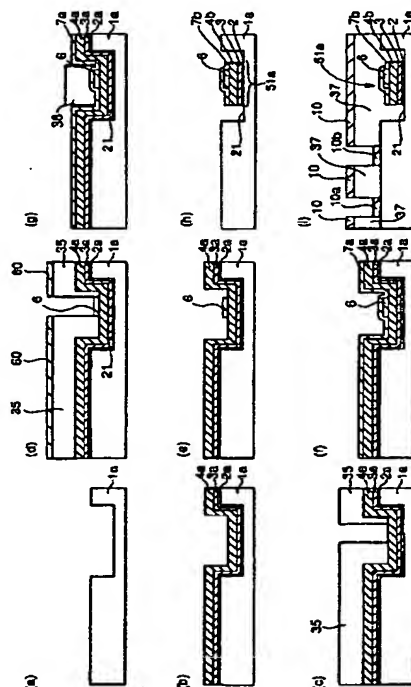
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 集積回路、及びその製造方法

(57) 【要約】

・【目的】 集積回路を、小型化及び大容量化、さらに、高精度化するとともに、このような集積回路を製造できる製造方法を得ることを目的とする。

・【構成】 化合物半導体基板に基板凹部21を形成する工程と、MIMキャパシタ51を基板凹部21の低面に形成する工程と、MIMキャパシタ51と、化合物半導体基板上の所要の領域以外とをレジスト38で被う工程と、レジスト38の上と上記所要の領域の上とに電極材料を被着して、化合物半導体トランジスタ50のゲート電極11を形成する工程とを含むものである。



1

・【特許請求の範囲】

・【請求項 1】 受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路を製造する方法において、

高段な部分と低段な部分とを有する上記基板を形成する工程と、

上記受動素子または能動素子を上記基板の低段な部分に形成する工程と、

上記受動素子または能動素子と上記基板上とをレジストで被う工程と、

該レジストのうちの上記高段な部分の所要の領域を被う部分を除去して上記レジストを上記トランジスタの電極パターンを有するようパターニングする工程と、

上記パターニングされた上記レジスト上と上記所要の領域上とに電極材料を被着し、そののち、リフトオフにより上記レジストと上記レジスト上の上記電極部材とを除去して上記所要の領域の上記電極を形成する工程とを含むことを特徴とする集積回路の製造方法。

・【請求項 2】 受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路において、

上記基板が高段な部分と低段な部分とを有し、

上記受動素子または能動素子が上記低段な部分に設けられ、

上記トランジスタが上記高段な部分に設けられていることを特徴とする集積回路。

・【請求項 3】 請求項 2 に記載の集積回路において、上記低段な部分からの上記受動素子または能動素子の高さが、上記低段な部分からの上記トランジスタの高さ以下であることを特徴とする集積回路。

・【請求項 4】 受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路を製造する方法において、

上記受動素子または能動素子を上記基板上に形成する工程と、

上記受動素子または能動素子を形成したのちに上記トランジスタを上記基板上に形成する工程とを含むことを特徴とする集積回路の製造方法。

・【請求項 5】 請求項 4 に記載の集積回路の製造方法において、

上記受動素子または能動素子を上記基板上に形成する上記工程は、上記基板表面の同一領域の上に第 1 ないし第 n (n は 1 以上の任意の整数) の膜状体をこの順序で積層し、そののち、上記各膜状体の上記基板上の所要の領域上に形成された部分以外を除去して上記所要の領域上に上記受動素子または能動素子を形成するものであり、上記受動素子または能動素子を形成したのちに上記トランジスタを上記基板上に形成する上記工程は、上記所要の領域以外の上記基板上の領域に上記トランジスタを形成するものであることを特徴とする集積回路の製造方法。

2

・【請求項 6】 請求項 4 に記載の集積回路の製造方法において、

上記受動素子または能動素子を上記基板上に形成する上記工程は、上記受動素子または能動素子を第 1 の温度で上記基板上に形成するものであり、

上記受動素子または能動素子を形成したのちに上記トランジスタを上記基板上に形成する上記工程は、上記トランジスタを第 1 の温度以下の第 2 の温度で上記基板に形成するものであることを特徴とする集積回路の製造方法。

・【請求項 7】 受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路において、

上記受動素子または能動素子がキャパシタであり、該キャパシタの誘電体が、上記トランジスタ形成時の温度よりも高温で上記基板上に形成された、 BaSrTiO_3 、 SrTiO_3 、または TaO からなるものであることを特徴とする集積回路。

・【請求項 8】 受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路を製造する方法において、

その上端に薄膜状の電極を有する上記受動素子または能動素子を上記基板上に形成する工程と、

上記受動素子または能動素子と上記基板上とをレジストで被う工程と、

該レジストのうちの上記基板の所要の領域を被う部分を除去して上記レジストを上記トランジスタの電極パターンを有するようパターニングする工程と、

上記パターニングされた上記レジスト上と上記所要の領域上とに電極材料を被着し、そののち、リフトオフにより上記基板から上記レジストと上記レジスト上の上記電極部材とを除去して上記所要の領域上に上記トランジスタの電極を形成する工程と、

上記リフトオフののち上記薄膜状の電極の厚さ以上の厚さの金属部材を上記薄膜状の電極上に形成する工程とを含むことを特徴とする集積回路の製造方法。

・【請求項 9】 請求項 8 に記載の集積回路の製造方法において、

上記受動素子または能動素子が、その上端に薄膜状の電極を有するキャパシタであり、

上記金属部材の厚さが上記薄膜状の電極の厚さ以上であり、かつ、上記キャパシタの RF 損失を所定の値以下とする厚さであることを特徴とする集積回路の製造方法。

・【請求項 10】 受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路において、

上記受動素子または能動素子は、その上端に薄膜状の電極を有するものであり、

上記電極上に上記電極の厚さ以上の厚さの金属部材が設けられていることを特徴とする集積回路。

・【請求項 11】 請求項 10 に記載の集積回路において、

10

20

30

40

50

上記受動素子または能動素子が、その上端に薄膜状の電極を有するキャパシタであり、

上記金属部材の厚さが上記薄膜状の電極の厚さ以上であり、かつ、上記キャパシタのRF損失を所定の値以下とする厚さであることを特徴とする集積回路。

・【発明の詳細な説明】

・【0001】

・【産業上の利用分野】本発明は、受動素子または能動素子と、トランジスタとを基板上に集積形成しているマイクロモノリシック集積回路、及びその製造方法に関するものである。

・【0002】

・【従来の技術】図7、図9(f)は、例えば、N. Ayaki, et al., Proc. 1988 GaAs IC Symposium, P101~104に掲載されている従来の集積回路(IC)を示す断面図であり、この集積回路は、モノリシックマイクロ波集積回路(MMIC(Monolithic Microwave IC))である。そして、このモノリシックマイクロ波集積回路は、MIM(Metal-Insulator-Metal)キャパシタと化合物半導体トランジスタとを、化合物半導体(GaAs)基板上に集積形成したものである。

・【0003】図7、図9(f)において、1bは化合物半導体基板(GaAs基板)、20は化合物半導体基板1bに形成された基板凹部、10a及び10bは、AuGe/Ni/Auよりなるオーミック電極、11はTi/Al/Moよりなるゲート電極である。また、23はTi/Mo/Ti/Au/Moよりなる下部金属、40は誘電体薄膜(SiN膜)、14dはTi/Auよりなる上部金属である。さらに、14a、14b、14c、14eはTi/Auよりなる配線金属、120、150はパッシベーション膜(SiON膜)、160はTi/Auよりなる給電層金属、170はAuよりなるエブリッジ、140a、140b、141c、142c、140d、140eはコンタクトホールである。

・【0004】このように、化合物半導体基板1bにおいて、ゲート電極11及び、オーミック電極10aとオーミック電極10bが形成されて、化合物半導体トランジスタ50が構成されている。

・【0005】また、下部金属23及び上部金属14dと、誘電体薄膜40とにより、MIMキャパシタ52が構成されている。ここで、上部金属14dは、MIMキャパシタ52の上部電極であるとともに、MIMキャパシタ52の引出し配線となっている。そして、このMIMキャパシタ52は、上記化合物半導体トランジスタ50に対して高段差となっている。

・【0006】ところで、モノリシックマイクロ波集積回路で用いられるMIMキャパシタ52には、以下の点が要求される。即ち、①マイクロ波帯で使用したときのRF損失が小さいこと、②RF電圧に対して十分な信頼性(寿命)を有し絶縁破壊に至らないこと等が要求され

る。

・【0007】まず、①の要求を満たすため、下部金属23、配線金属14の膜厚は、十分に厚くなっており、例えば、モノリシックマイクロ波集積回路のマイクロ波が、10GHzの場合には、それぞれ、2500オングストローム以上の膜厚が用いられている。

・【0008】又、②の要求を満たすために、MIMキャパシタ52の上部電極(配線金属14)からの配線の引出しは、上記のエブリッジ170で行なわれ、下部金属23のパターンエッジでの電界集中を防止している。さらに、誘電体薄膜40には、電気的に劣化の少ないSiN膜が用いられている。例えば、絶縁耐圧100V以上を得る場合、SiN膜は、その膜厚を1500オングストローム以上にすればよい。このSiN膜の使用により、このMIMキャパシタ52は、上記の②の条件の場合、400pf/mm²の容量を有することになる。

・【0009】次に従来のモノリシックマイクロ波集積回路の製造方法を説明する。従来のモノリシックマイクロ波集積回路の製造方法では、化合物半導体トランジスタ50を先に作製してから、MIMキャパシタ51を作製するようにしており、以下において、その詳細を図8(a)~(f)と図9(a)~(f)とに示す各断面図を用いて説明する。

・【0010】まず、図8(a)に示すように、化合物半導体基板1c上に、蒸着リフトオフによりオーミック電極10a、10bを形成したのち、図8(b)に示すように、レジスト90を化合物半導体基板1c上に形成する。そののち、図8(c)に示すように、化合物半導体基板1cにエッチングを行ない基板凹部20を形成する。これにより、基板凹部20を有する化合物半導体基板1bが形成される。さらに、このような化合物半導体基板1b上に、TiとAlとMoとを順次蒸着して、金属膜(Ti/Al/Mo)110をレジスト90上に形成するとともに、ゲート電極11を基板凹部20上に形成する。この結果、化合物半導体トランジスタ50が、化合物半導体基板1bに作製される。

・【0011】そののち、図8(d)に示すように、金属膜110とともにレジスト90をリフトオフして、化合物半導体基板1b上から除去し、図8(e)に示すように、レジスト90をリフトオフした化合物半導体基板1b上に、パッシベーション膜121を被着する。パッシベーション膜121を被着したのち、図8(f)に示すように、パッシベーション膜121上にレジスト30を形成する。このような化合物半導体基板1b上に、Ti、Mo、Ti、Au、Moを順次蒸着して、図9(a)に示すように、レジスト30上に金属膜(Ti/Mo/Ti/Au/Mo)230を形成するとともに、パッシベーション膜121上に下部金属23を形成する。そして、図9(b)に示すように、金属膜230とともにレジスト30をリフトオフしてから、図9(c)に示すように、パッ

5

シベーション膜121上と下部金属23上とに誘電体薄膜41を被着する。このうち、オーミック電極10a上とオーミック電極10b上、さらに、ゲート電極11上から、パッシベーション膜121と誘電体薄膜41とを除去して、コンタクトホール140a, 140b, 141c, 142cを形成する。これにより、図9(d)に示すように、パッシベーション膜120と誘電体薄膜40とが形成される。さらに、各コンタクトホール形成後、誘電体薄膜40上に配線金属14a, 14b, 14c, 14eと、上部金属14dとを形成するとともに、配線金属14a, 14b, 14cの一部を、コンタクトホール140a, 140b, 141c, 142c内に形成する。この結果、図9(d)の如く、オーミック電極10a, 10bとゲート電極11、さらに、下部金属23が、配線金属14a, 14b, 14cに接続されるとともに、MIMキャパシタ52が化合物半導体基板1b上に作製される。

・【0012】そして、図9(e)に示すように、誘電体薄膜40の表面の一部と、配線金属14a, 14b, 14cの表面と、上部金属14dの表面とに、パッシベーション膜151を形成する。パッシベーション膜151を形成後、上部金属14d上と配線金属14e上とのパッシベーション膜151の一部を除去して、コンタクトホール140d, 140eを形成する。これにより、コンタクトホール140d, 140eが設けられたパッシベーション膜150が形成される。そのうち、給電層金属160で、上部金属14dと配線金属14eとを接続し、さらに、給電層金属160にエアブリッジ170を設けて、図9(f)に示すモノリシックマイクロ波集積回路を形成する。

・【0013】

・【発明が解決しようとする課題】従来のマイクロモノリシック集積回路、また、その製造方法では、以上のように構成されているので、回路をより高集積化して形成するために上記MIMキャパシタ52のさらなる高性能化を図る場合、以下の問題がある。

・【0014】従来の製造方法では、リフトオフ工程、レジスト除去などの工程を経た後に上記下部金属23を形成し、その後、上記誘電体薄膜40を形成する。この際、リフトオフ工程、レジスト除去などの工程の際の異物や酸化物などが、下部金属23と誘電体薄膜40の間の界面に多く挟まれてしまう。このような異物や酸化物などによる絶縁破壊の発生を防ぐためには、従来の回路では、誘電体薄膜40の絶縁耐圧を十分に大きくしなくてはならず、その絶縁耐圧を、MIMキャパシタ52のRF電圧よりも十分に大きくしなければならない。例えば、誘電体薄膜40の厚さを1500オングストローム以上にして、MIMキャパシタ52のRF電圧を10～20V得た場合、RF電圧が10～20Vにもかかわらず、誘電体薄膜40の絶縁耐圧を100V以上にもしな

6

くてはならない。このため、誘電体薄膜40の膜厚が大きくなってしまい、MIMキャパシタ52のさらなる高性能化が困難であるという問題がある。

・【0015】なお、図10(a)～(c)の断面図に示す集積回路の製造方法のように、化合物半導体トランジスタ50の形成後、下部金属膜23aと誘電体薄膜41とを連続して被着し、さらに、これらの不要部分をエッチングで除去すれば、誘電体薄膜40の厚さを小さくできると考えられる。ところが、この方法を用いると、パッシベーション膜121から下部金属膜23aを除去した際に、下部金属膜23aの一部が除去されきれずに、化合物半導体トランジスタ50のゲート電極11などの段差部に残ってしまう。このように、上記段差部に残ってしまった不要な金属は、配線ショートの原因になるばかりでなく浮遊容量の発生原因となるため、この方法は、マイクロ波回路では使用できない。また、パッシベーション膜121を平坦化しておいてから、その上に誘電体薄膜41を被着すれば、上記不要な金属を残さずに、パッシベーション膜121から下部金属23を除去することが可能であるが、この場合、パッシベーション膜121を厚くする必要があり、結局、回路を大きくするばかりか、寄生容量の増加につながりマイクロ波回路には用いられなくなってしまう。

・【0016】また、従来のマイクロモノリシック集積回路、及びその製造方法では、誘電体薄膜40に、 ϵ_r がSiN膜のそれよりも遙かに大きい、BaSrTiO₃, SrTiO₃; TaOなどの物質を用いることができないという問題がある。何故ならば、BaSrTiO₃の成膜には、600℃以上の温度が必要であり、この温度は、化合物半導体トランジスタ50の耐熱温度を越えるので、MIMキャパシタ52の形成時に、化合物半導体トランジスタ50を劣化させてしまうためである。

・【0017】本発明は、上述のような問題を解消するためになされたもので、受動素子または能動素子内への異物の混入を防ぐことができ、受動素子または能動素子の単位面積当たりの容量を増大できる集積回路の製造方法を得ることを目的とする。また、本発明は、トランジスタの電極を正確に作製できる集積回路の製造方法を得ることを目的とする。

・【0018】さらに、本発明は、上記受動素子または能動素子を、同一基板上のトランジスタの耐熱温度以上の温度で作製でき、受動素子または能動素子の単位面積当たりの容量を増大できる集積回路の製造方法を得ることを目的とする。

・【0019】また、本発明は、基板上に、受動素子または能動素子をトランジスタより先に作製しても、受動素子または能動素子と、トランジスタとを高性能化することのできるマイクロモノリシック集積回路の製造方法を得ることを目的とする。

7

・【0020】さらに、本発明は、受動素子または能動素子とトランジスタとの段差を、縮小または無くすることができる集積回路を得ることを目的とする。また、本発明は、受動素子または能動素子の容量を増大することのできる集積回路を得ることを目的とする。

・【0021】

・【課題を解決するための手段】本発明にかかる集積回路の製造方法（請求項1）は、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路を製造する方法において、高段な部分と低段な部分とを有する上記基板を形成する工程と、上記受動素子または能動素子を上記基板の低段な部分に形成する工程と、上記受動素子または能動素子と上記基板上とをレジストで被う工程と、該レジストのうちの上記高段な部分の所要の領域を被う部分を除去して上記レジストを上記トランジスタの電極パターンを有するようパターニングする工程と、上記パターニングされた上記レジスト上と上記所要の領域上とに電極材料を被着し、そののち、リフトオフにより上記レジストと上記レジスト上の上記電極部材とを除去して上記所要の領域の上に上記電極を形成する工程とを含むことを特徴とするものである。

・【0022】本発明にかかる集積回路（請求項2）は、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路において、上記基板が高段な部分と低段な部分とを有し、上記受動素子または能動素子が上記低段な部分に設けられ、上記トランジスタが上記高段な部分に設けられていることを特徴とするものである。

・【0023】本発明にかかる集積回路（請求項3）は、上記集積回路（請求項2）において、上記低段な部分からの上記受動素子または能動素子の高さが、上記低段な部分からの上記トランジスタの高さ以下であることを特徴とするものである。

・【0024】本発明にかかる集積回路の製造方法（請求項4）は、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路を製造する方法において、上記受動素子または能動素子を上記基板上に形成する工程と、上記受動素子または能動素子を形成したのちに上記トランジスタを上記基板上に形成する工程とを含むことを特徴とするものである。

・【0025】本発明にかかる集積回路の製造方法（請求項5）は、上記集積回路の上記製造方法（請求項4）において、上記受動素子または能動素子を上記基板上に形成する上記工程は、上記基板表面の同一領域の上に第1ないし第n（nは1以上の任意の整数）の膜状体をこの順序で積層し、そののち、上記各膜状体の上記基板上の所要の領域上に形成された部分以外を除去して上記所要の領域上に上記受動素子または能動素子を形成するものであり、上記受動素子または能動素子を形成したのちに上記トランジスタを上記基板上に形成する上記工程は、

8

上記所要の領域以外の上記基板上の領域に上記トランジスタを形成するものであることを特徴とするものである。

・【0026】本発明にかかる集積回路の製造方法（請求項6）は、上記集積回路の上記製造方法（請求項4）において、上記受動素子または能動素子を上記基板上に形成する上記工程は、上記受動素子または能動素子を第1の温度で上記基板上に形成するものであり、上記受動素子または能動素子を形成したのちに上記トランジスタを上記基板上に形成する上記工程は、上記トランジスタを第1の温度以下の第2の温度で上記基板に形成するものであることを特徴とするものである。

・【0027】本発明にかかる集積回路（請求項7）は、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路において、上記受動素子または能動素子がキャパシタであり、該キャパシタの誘電体が、上記トランジスタ形成時の温度よりも高温で上記基板上に形成された、 BaSrTiO_3 、 SrTiO_3 、または TaO からなるものであることを特徴とするものである。

・【0028】本発明にかかる集積回路の製造方法（請求項8）は、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路を製造する方法において、その上端に薄膜状の電極を有する上記受動素子または能動素子を上記基板上に形成する工程と、上記受動素子または能動素子と上記基板上とをレジストで被う工程と、該レジストのうちの上記基板の所要の領域を被う部分を除去して上記レジストを上記トランジスタの電極パターンを有するようパターニングする工程と、上記パターニングされた上記レジスト上と上記所要の領域上とに電極材料を被着し、そののち、リフトオフにより上記基板から上記レジストと上記レジスト上の上記電極部材とを除去して上記所要の領域上に上記トランジスタの電極を形成する工程と、上記リフトオフののち上記薄膜状の電極の厚さ以上の厚さの金属部材を上記の薄い膜状の電極上に形成する工程とを含むことを特徴とするものである。

・【0029】本発明にかかる集積回路の製造方法（請求項9）は、上記集積回路の製造方法（請求項8）において、上記受動素子または能動素子が、その上端に薄膜状の電極を有するキャパシタであり、上記金属部材の厚さが上記薄膜状の電極の厚さ以上であり、かつ、上記キャパシタのRF損失を所定の値以下とする厚さであることを特徴とするものである。

・【0030】本発明にかかる集積回路（請求項10）は、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路において、上記受動素子または能動素子は、その上端に薄膜状の電極を有するものであり、上記電極上に上記電極の厚さ以上の厚さの金属部材が設けられていることを特徴とするものである。

9

・【0031】本発明にかかる集積回路（請求項11）は、上記集積回路（請求項10）において、上記受動素子または能動素子が、その上端に薄膜状の電極を有するキャパシタであり、上記金属部材の厚さが上記薄膜状の電極の厚さ以上であり、かつ、上記キャパシタのRF損失を所定の値以下とする厚さであることを特徴とするものである。

・【0032】

・【作用】本発明（請求項1）においては、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路を製造する方法において、高段な部分と低段な部分とを有する上記基板を形成する工程と、上記受動素子または能動素子を上記基板の低段な部分に形成する工程と、上記受動素子または能動素子と上記基板上とをレジストで被う工程と、該レジストのうちの上記高段な部分の所要の領域を被う部分を除去して上記レジストを上記トランジスタの電極パターンを有するようパターンニングする工程と、上記パターンニングされた上記レジスト上と上記所要の領域上とに電極材料を被着し、そのうち、リフトオフにより上記レジストと上記レジスト上の上記電極部材とを除去して上記所要の領域の上に上記電極を形成する工程とを含むことから、上記高段な部分と上記低段な部分との段差の分、上記高段な部分からの上記レジストの高さが低くなり、低くなった分、より正確な上記電極パターンが形成される。

・【0033】本発明（請求項2）においては、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路において、上記基板が高段な部分と低段な部分とを有し、上記受動素子または能動素子が上記低段な部分に設けられ、上記トランジスタが上記高段な部分に設けられていることから、上記受動素子または能動素子を上記低段な部分に形成して、これと上記基板とをレジストで被い、そのうち、該レジストのうちの上記高段な部分上の所要の領域を被う部分を除去して、上記レジストを上記トランジスタの電極パターンを有するようパターンニングし、さらに、電極部材を上記レジスト上と上記所要の領域上とに被着して、上記領域に上記トランジスタの電極を形成することにより、上記レジストの上記高段な部分からの高さを、上記高段な部分と上記低段な部分との段差の分以内で小さくできる。

・【0034】本発明（請求項3）においては、上記集積回路（請求項2）において、上記低段な部分からの上記受動素子または能動素子の高さが、上記低段な部分からの上記トランジスタの高さ以下であることから、上記受動素子または能動素子を上記低段な部分に形成して、これと上記基板とをレジストで被い、そのうち、該レジストのうちの上記高段な部分上の所要の領域を被う部分を除去して、上記レジストを上記トランジスタの電極パターンを有するようパターンニングし、さらに、電極部材を上記レジスト上と上記所要の領域上とに被着して、上記

10

領域に上記トランジスタの電極を形成することにより、上記レジストの上記高段な部分からの高さを、形成中の上記トランジスタの高さに応じて決めることができる。

・【0035】本発明（請求項4）においては、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路を製造する方法において、上記受動素子または能動素子を上記基板上に形成する工程と、上記受動素子または能動素子を形成したのちに上記トランジスタを上記基板上に形成する工程とを含むことから、上記トランジスタを保護するための制約を生ずることなく、上記受動素子または能動素子を形成できる。

・【0036】本発明（請求項5）においては、上記集積回路の製造方法（請求項4）において、上記受動素子または能動素子を上記基板上に形成する上記工程は、上記基板表面の同一領域の上に第1ないし第n（nは1以上の任意の整数）の膜状体をこの順序で積層し、そのうち、上記各膜状体の上記基板上の所要の領域上に形成された部分以外を除去して上記所要の領域上に上記受動素子または能動素子を形成するものであり、上記受動素子または能動素子を形成したのちに上記トランジスタを上記基板上に形成する上記工程は、上記所要の領域以外の上記基板上の領域に上記トランジスタを形成するものであることから、従来例の集積回路の製造方法のように、上記受動素子または能動素子の形成中に、上記トランジスタを被うレジストを除去する必要がなくなる。

・【0037】本発明（請求項6）は、上記集積回路の製造方法（請求項4）において、上記受動素子または能動素子を上記基板上に形成する上記工程は、上記受動素子または能動素子を第1の温度で上記基板上に形成するものであり、上記受動素子または能動素子を形成したのちに上記トランジスタを上記基板上に形成する上記工程は、上記トランジスタを第1の温度以下の第2の温度で上記基板に形成するものであることから、上記受動素子または能動素子を上記第1の温度で形成しても、この温度の影響から上記トランジスタが保護される。

・【0038】本発明（請求項7）においては、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路において、上記受動素子または能動素子がキャパシタであり、該キャパシタの誘電体が、上記トランジスタ形成時の温度よりも高温で上記基板上に形成された、 BaSrTiO_3 、 SrTiO_3 ；または TaO からなるものであることから、誘電体に SiN を用いる場合よりも、上記キャパシタの容量が増大する。

・【0039】本発明（請求項8）は、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路を製造する方法において、その上端に薄膜状の電極を有する上記受動素子または能動素子を上記基板上に形成する工程と、上記受動素子または能動素子と上記基板上とをレジストで被う工程と、該レジストのうちの上記基板の所要の領域を被う部分を除去して上記レジス

トを上記トランジスタの電極パターンを有するようパターンニングする工程と、上記パターンニングされた上記レジスト上と上記所要の領域上とに電極材料を被着し、そののち、リフトオフにより上記基板から上記レジストと上記レジスト上の上記電極部材とを除去して上記所要の領域上に上記トランジスタの電極を形成する工程と、上記リフトオフののち上記薄膜状の電極の厚さ以上の厚さの金属部材を上記の薄い膜状の電極上に形成する工程とを含むことから、上記レジストの高さは、上記薄膜状の電極の薄い分低くなり、低くなった分、より正確な上記電極パターンが形成される。

・【0040】本発明（請求項9）においては、上記集積回路の上記製造方法（請求項8）において、上記受動素子または能動素子が、その上端に薄膜状の電極を有するキャパシタであり、上記金属部材の厚さが上記薄膜状の電極の厚さ以上であり、かつ、上記キャパシタのRF損失を所定の値以下とする厚さであることから、上記レジストの高さは、上記薄膜状の電極の薄い分低くなり、また、上記金属部材によって、上記キャパシタのRF損失が十分に小さくされる。

・【0041】本発明（請求項10）においては、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路において、上記受動素子または能動素子は、その上端に薄膜状の電極を有するものであり、上記電極上に上記電極の厚さ以上の厚さの金属部材が設けられていることから、上記受動素子または能動素子を形成して、これと上記基板とをレジストで被い、そののち、該レジストのうちの所要の領域を被う部分を除去して、上記レジストを上記トランジスタの電極パターンを有するようパターンニングし、さらに、電極部材を上記レジスト上と上記所要の領域上とに被着したのち、上記レジストと上記レジスト上の電極部材とをリフトオフして、上記領域に上記トランジスタの電極を形成し、そののち、上記薄膜状の電極上に上記金属部材を形成できる。

・【0042】本発明（請求項11）においては、上記集積回路（請求項10）において、上記受動素子または能動素子が、その上端に薄膜状の電極を有するキャパシタであり、上記金属部材の厚さが上記薄膜状の電極の厚さ以上であり、かつ、上記キャパシタのRF損失を所定の値以下とする厚さであることから、上記受動素子または能動素子を形成して、これと上記基板とをレジストで被い、そののち、該レジストのうちの所要の領域を被う部分を除去して、上記レジストを上記トランジスタの電極パターンを有するようパターンニングし、さらに、電極部材を上記レジスト上と上記所要の領域上とに被着したのち、上記レジストと上記レジスト上の電極部材とをリフトオフして、上記領域に上記トランジスタの電極を形成し、そののち、上記薄膜状の電極上に上記金属部材を形成でき、また、上記受動素子または能動素子のRF損失

は、上記配線により所定の値以下になる。

・【0043】

・【実施例】

実施例1. 以下、この発明の実施例1を図について説明する。図1、図3(i)は、実施例1の集積回路(IC)を示す断面図であり、この集積回路は、モノリシックマイクロ波集積回路(MMIC (Monolithic Microwave Integrated Circuit))である。そして、このモノリシックマイクロ波集積回路は、MIM(Metal-Insulator-Metal)キャパシタと化合物半導体トランジスタとを、化合物半導体(GaAs)基板上に集積形成したものである。

・【0044】図1、図3(i)において、1は上記の化合物半導体基板(GaAs基板)、20、21は化合物半導体基板1に形成された基板凹部、10a、10bはオーミック電極(AuGe/Ni/Au)、11はゲート電極(Ti/Al/Mo)である。これらの電極と基板凹部20とは、上述の従来例で述べたものと同じものである。そして、化合物半導体基板1に基板凹部21があることにより、化合物半導体基板1には、基板凹部21の底面からなる低段な部分と、化合物半導体基板1上の基板凹部20、21の無い領域からなる高段な部分とが、存在することになる。このように、化合物半導体基板1上の高段な部分において、ゲート電極11及び、オーミック電極10aとオーミック電極10bが形成されて、化合物半導体トランジスタ50が構成されている。

・【0045】また、2は基板凹部21上に設けられた絶縁膜(SiO膜)、3は絶縁膜2上に設けられた下部金属(Ti/Pt)、4は、下部金属3上に設けられた誘電体薄膜(SiN膜)、6は誘電体薄膜4の上面の一部に設けられた上部金属(Ti/Pt)、7は、誘電体薄膜4の上面の一部と、上部金属6の側面と、さらに、後述する配線金属5cの上部金属6付近の側面とに設けられたパッシベーション膜(SiO膜)である。このように、下部金属3及び上部金属6と、誘電体薄膜4とにより、MIMキャパシタ51が構成されている。そして、このMIMキャパシタ51は、基板凹部21の底面上に、つまり、化合物半導体基板1の低段な部分に設けられているので、MIMキャパシタ51の上端のパッシベーション膜7の高さは、オーミック電極10a、10b、及びゲート電極11の高さ以下となっている。なお、上部金属6の膜厚は、MIMキャパシタ51のRF損失を十分に小さくできる厚さである。また、上部金属6の上面の面積は、従来のモノリシックマイクロ波集積回路に用いられるMIMキャパシタの上部金属の面積よりも小さいものである。しかし、誘電体薄膜4の厚さが、従来例のモノリシックマイクロ波集積回路に用いられるMIMキャパシタ52の誘電体薄膜の厚さよりも、十分に薄く構成されているので、MIMキャパシタ51は、従来例のモノリシックマイクロ波集積回路のMIMキャパシタ52よりも、その容量が大きくなっている。

13

・【0046】ここで、基板凹部21の彫り込みの深さを、7000オングストロームとした場合、MIMキャパシタ51を構成する各膜の膜厚は、絶縁膜2であるSiN膜の膜厚を500オングストローム、下部金属3のTi膜の膜厚を500オングストローム、下部金属3のPt膜の膜厚を2500オングストローム、誘電体薄膜4のSiN膜の膜厚を1000オングストローム、上部金属6のTi膜の膜厚を500オングストローム、上部金属6のPt膜の膜厚を2500オングストローム、パッシベーション膜7のSiO膜の膜厚を1000オングストロームとする。つまり、MIMキャパシタ51の高さは8500オングストロームとなり、1500オングストローム分、MIMキャパシタ51は、化合物半導体基板1の高段な部分の面より出ることになる。

・【0047】そして、12はパッシベーション膜(SiON膜)であり、このパッシベーション膜12は、化合物半導体基板1の表面の一部、化合物半導体トランジスタ50の表面、MIMキャパシタ51の表面、及びパッシベーション膜7の表面を被うものである。また、パッシベーション膜12の膜厚は、その絶縁耐圧を、誘電体薄膜4の絶縁耐圧より大きくするような厚さであり、且つ、絶縁膜2の膜厚以上の大きさである。なお、55aは、パッシベーション膜12に設けられ、オーミック電極10aの上面の一部分に位置するコンタクトホール、55bは、パッシベーション膜12に設けられ、オーミック電極10bの上面の一部分に位置するコンタクトホール、13bは、パッシベーション膜12に設けられ、ゲート電極11の上面の一部分に位置するコンタクトホールである。さらに、56bは、パッシベーション膜7、12、誘電体薄膜4に設けられ、下部金属3の上面の一部分に位置するコンタクトホール、55cは、パッシベーション膜7、12に設けられ、上部金属6の上面の全面に設けられたコンタクトホールである。

・【0048】また、13はその一端がコンタクトホール13a内に設けられ、ゲート電極11に接続されている配線金属、5aはその一端がコンタクトホール55a内に設けられ、オーミック電極10aに接続されている配線金属、5bはその一端がコンタクトホール55b内に設けられ、オーミック電極10bに接続されているとともに、他端をコンタクトホール56b内に設けられ、下部金属3に接続されている配線金属である。さらに、5cはその一端がコンタクトホール55c内に設けられ、上部金属6に接続されているとともに、他端を後述する給電層金属16に接続されている配線金属、5dはその一端が給電層金属16に接続されている配線金属である。なお、配線金属5a、5b、5c、5dは、Ti層の上にAuの層を設けて構成されている。

・【0049】また、15はパッシベーション膜12とともに、配線金属5a、5b、5c、5dを被うパッシベーション膜(SiON膜)である。なお、56cはパッシ

14

シベーション膜15に設けられ、配線金属5cの上面の一部分に位置するコンタクトホール、55dはパッシベーション膜15に設けられ、配線金属5dの上面の一部分に位置するコンタクトホールである。

・【0050】また、16は配線金属5cと配線金属5dとに接続されている上記した給電層金属(Ti/Au)、17は給電層金属16に設けられたエアブリッジ(Au)である。これらの給電層金属16とエアブリッジ17とは、従来例のモノリシックマイクロ波集積回路の場合と同様に、下部金属3のパターンエッジでの電界の集中を防ぐものである。

・【0051】次に、本実施例1のモノリシックマイクロ波集積回路の製造方法について説明する。本実施例1のモノリシックマイクロ波集積回路の製造方法では、MIMキャパシタ51を先に作製してから、化合物半導体トランジスタ50を作製するようにしており、以下において、その詳細を図2(a)~(i)と図3(a)~(i)とに示す各断面図を用いて説明する。

・【0052】まず、図2(a)に示すように、化合物半導体基板にエッチングを行ない、基板凹部21が形成された化合物半導体基板1aを形成する。例えば、基板凹部21の深さを7000オングストロームにするならば、化合物半導体基板に対して、酒石酸と過酸化水素水との50:1の混合液で700秒間のエッチングを行なう。

・【0053】そして、図2(b)に示すように、化合物半導体基板1a上に、SiO膜、Ti膜、Pt膜、さらに、SiN膜を、この順序で連続して被着し、化合物半導体基板1上に、絶縁膜(SiO膜)2a、下部金属膜(Ti膜、/Pt膜)3a、さらに、誘電体膜(SiN膜)4aを形成する。

・【0054】誘電体膜4aの形成後、図2(c)に示すように、誘電体膜4a上の低段な部分のある領域以外に、レジスト35を形成する。レジスト35の形成後、図2(d)に示すように、レジスト35を設けられた化合物半導体基板1a上に、Ti膜とPt膜とをこの順で被着して、レジスト35上に金属膜(Ti膜、/Pt膜)60を形成するとともに、誘電体膜4a上の上記のある領域に上部金属(Ti膜、/Pt膜)6を形成する。金属膜60及び上部金属6の形成後、図2(e)に示すように、金属膜60とともにレジスト35をリフトオフして、さらに、図2(f)に示すように、上部金属6の上面及び側面と、絶縁膜7aの上面とに、SiO膜を被着して絶縁膜7aを形成する。絶縁膜7aの形成後、図2(g)に示すように、レジスト36を形成して、これから基板凹部21に形成するMIMキャパシタ51aのパターニングを行う。MIMキャパシタ51aをパターニングしたのち、このパターンに従って、絶縁膜7a、誘電体膜4a、下部金属膜3a、絶縁膜2aにエッチングを行ない、そののち、レジスト36を、O₂アッシャーで除去する。この結果、図2(h)に示すように、基板凹部21

15

の底面上の所定の領域以外の各膜、つまり、レジスト 36 下以外の各膜が除去され、基板凹部 21 上の所定の領域に MIM キャパシタ 51a が形成される。なお、絶縁膜 7a と誘電体膜 4a とのエッチングは、 $\text{CHF}_3 + \text{O}_2$ ガスを用いた RIE により行なう。また、下部金属 3 のエッチングは、Ar イオンのミリングで行ない、絶縁膜 2a のエッチングは、絶縁膜 7a と誘電体膜 4a と同様の要領で行なう。

・【0055】MIM キャパシタ 51a の形成後、図 2 (i) に示すように、レジスト 37 を形成して、さらに、この化合物半導体基板 1a 上とレジスト 37 上とに、AuGe 膜、Ni 膜、Au 膜を、この順で順次被着する。この結果、レジスト 37 上に金属膜 10 が形成されるとともに、レジスト 37 で被われていない化合物半導体基板 1a 上の各領域に、オーミック電極 10a、10b が形成される。そのうち、図 3 (a) に示すように、金属膜 10 とともにレジスト 37 をリフトオフし、次に、オーミック電極 10a、10b に 400°C 近くのシンターを行う。このとき、既に形成している MIM キャパシタ 51a は、SiN、SiO、Ti、Pt などの耐熱性の高い物質で構成され、さらに、上部金属 6 及び誘電体薄膜 4b は、パッシベーション膜 7b によって被われているので、MIM キャパシタ 51a は、シンターによって劣化することはない。

・【0056】 400°C 近くでのシンターののち、図 3 (b) に示すように、MIM キャパシタ 51a と化合物半導体基板 1a 上とをレジストで被い、そのうち、該レジストにゲートのレジストパターンを形成することにより、レジスト 38 を化合物半導体基板 1a 上に形成する。なお、レジスト 38 の上記の高段な部分からの高さは、ゲート電極 11 の高さよりわずかに高いものである。例えば、基板凹部 21 の彫り込みの深さを 7000 オングストロームとし、MIM キャパシタ 51a の高さを 8500 オングストロームとした場合では、図 3 (c) に示す、レジスト 38 の化合物半導体基板 1 の高段な部分からの厚みを、 $0.5\mu\text{m}$ 程度とする。この値は、化合物半導体基板 1a に MIM キャパシタ 51a が無い場合と、同様の値であり、つまり、MIM キャパシタ 51 の高さの影響を受けずに、化合物半導体トランジスタ 50 周辺のレジスト 38 の厚さが、決められるのである。なお、基板凹部 21 の深さと MIM キャパシタ 51 の高さとは、上記のような場合では、図 2 (g) に示す、レジスト 36 の側面と、基板凹部 21 の側面との間の距離は、パターンの合わせ余裕と加工精度とを考慮して $1\sim 2\mu\text{m}$ あればよい。

・【0057】レジスト 38 の形成後、ゲート電極 11 を形成する前に、化合物半導体基板 1a に等方性エッチングを行ない、図 3 (c) に示す、基板凹部 20 を形成する。これにより、化合物半導体基板 1 が形成される。化合物半導体基板 1 の形成後、図 3 (c) に示すように、レ

16

ジスト 38 上と、レジスト 38 で被われていない化合物半導体基板 1 上とに、Ti 膜、Al 膜、Mo 膜を、この順で順次蒸着して、レジスト 38 上に金属膜 (Ti 膜/Al 膜/Mo 膜) 11a を形成するとともに、基板凹部 20 の底面の所要の領域上にゲート電極 11 を形成する。この結果、化合物半導体基板 1 の高段な部分に、化合物半導体トランジスタ 50 が形成される。

・【0058】ゲート電極 11 の形成後、図 3 (d) に示すように、金属膜 11a とともにレジスト 38 をリフトオフする。リフトオフ後、図 3 (e) に示すように、パッシベーション膜 12 を、化合物半導体基板 1 の表面の一部と、化合物半導体トランジスタ 50 の表面と、MIM キャパシタ 51 の表面とに被着する。

・【0059】パッシベーション膜 12 の形成後、図 3 (f) に示す、コンタクトホール 13a を形成してから、ゲート電極 11 に配線金属 13 を接続する。配線金属 13 の接続後、図 3 (g) に示す、コンタクトホール 55a、55b、56b、55c を形成する。この結果、基板凹部 21 の底面上に MIM キャパシタ 51 が形成される。

・【0060】これらのコンタクトホールの形成後、図 3 (g) に示すように、配線金属 5a、5b、5c、5d をパターン形成して、配線金属 5a、5b、5c、5d をパッシベーション膜 12 上に設けるとともに、配線金属 5a の一端をオーミック電極 10a に接続し、配線金属 5b の一端をオーミック電極 10b に接続し、配線金属 5b の他端を下部金属 3 の一部に接続し、配線金属 5c の一端を上部金属 6 に接続する。各配線金属の形成後、図 3 (h) に示すように、配線金属 5a、5b、5c、5d 上と配線金属 13 上、さらに、パッシベーション膜 12 上の一部に、パッシベーション膜 15a を被着する。パッシベーション膜 15a の被着後、図 1、図 3 (i) に示す、コンタクトホール 56c、55d をパッシベーション膜 15a に形成する。これにより、パッシベーション膜 15 が形成される。そのうち、給電層金属 16 を、配線金属 5c と配線金属 5d とに接続して、さらに、給電層金属 16 上にエアブリッジ 17 を形成する。この結果、実施例 1 のモノリシックマイクロ波集積回路が作製される。

・【0061】上述のように、実施例 1 の集積回路では、化合物半導体基板 1 が基板凹部 21 を有し、MIM キャパシタ 51 が基板凹部 21 の底面上に設けられ、化合物半導体トランジスタ 50 が、化合物半導体基板 1 の高段な部分に設けられているので、化合物半導体基板 1 の高段な部分からの MIM キャパシタ 51 の高さを、上記の高段な部分と基板凹部 21 の底面との段差の分以内で小さくできる。この結果、ゲート電極 11 を形成する際、レジスト 38 の上記の高段な部分からの高さを低くでき、レジスト 38 の高さを低くできた分、レジスト 38 に形成されたゲートパターンの形状を正確にでき、これ

17

により、正確な形状のゲート電極 11 を正確な位置に形成できる効果がある。また、MIM キャパシタ 51 の代わりに、給電層金属 16 及びエアブリッジ 17 などを使用しない素子を用いる場合には、集積回路表面の突起を小さくでき、集積回路を薄型化及び小型化できる効果がある。

・【0062】さらに、実施例 1 の集積回路では、基板凹部 21 の底面からの MIM キャパシタ 51 の高さが、基板凹部 21 の底面からの化合物半導体トランジスタ 50 の高さ以下であるので、レジスト 38 の上記の高段な部分からの高さを、MIM キャパシタ 51 の高さに関係なく、ゲート電極 11 の高さに応じて決めることができる効果がある。

・【0063】また、実施例 1 の集積回路の製造方法では、化合物半導体トランジスタ 50 を形成する前に、下部金属膜 3a を形成し、下部金属膜 3a に続いて上に誘電体膜 4a を形成し、さらに、誘電体膜 4a に続いて上部金属 6 を形成するので、従来例の集積回路の製造方法のように、MIM キャパシタの下部金属膜を、化合物半導体基板に被着したのちに、上記化合物半導体基板からレジストを除去したり、リフトオフ工程を行なう必要がなくなり、これにより、リフトオフ工程、レジストを除去する工程などの際の異物や酸化物が、下部金属膜 3a と誘電体膜 4 との間に混入することを防止でき、この結果、異物や酸化物による絶縁破壊が抑制されるので、誘電体膜 4 の膜厚を薄くでき、MIM キャパシタ 51 の容量を増大でき、これにより、MIM キャパシタ 51 の面積を縮小できる効果がある。

・【0064】さらに、実施例 1 の集積回路の製造方法では、絶縁膜 2a、下部金属膜 3a、誘電体膜 4a、上部金属 6、絶縁膜 7a を、化合物半導体基板 1a 上に形成したのち、これらの膜のうちの MIM キャパシタ 51 の形成領域以外のものを除去して、上記形成領域内に MIM キャパシタ 51 を形成し、そののち、上記の各膜を除去された領域に化合物半導体トランジスタ 50 を形成するので、上述の図 10 で示す集積回路の製造方法のように、下部金属膜と誘電体膜とを続けて形成しても、化合物半導体トランジスタ 50 の表面のパッシベーション膜が、下部金属膜の除去する部分で被われなくなり、この結果、下部金属膜 3a を除去する際の残留物が、パッシベーション膜 12 上に残らなくなるので、上記残留物によって、MIM キャパシタ 51 に浮遊容量が発生しなくなる効果がある。

・【0065】次に、上記実施例の変形例を説明する。上記実施例の集積回路では、MIM キャパシタ 51 の誘電体薄膜 4 に、SiN 膜を用いているが、SiN 膜の代わりに、化合物半導体トランジスタ 50 を形成する温度以上の温度で化合物半導体基板上に形成される、BaSrTiO₃ 膜や SrTiO₃ 膜、または TaO 膜を用いて、上記 MIM キャパシタ 51 を構成してもよい。

18

・【0066】このような、集積回路の製造方法は、誘電体薄膜 4 を、化合物半導体トランジスタ 50 の耐熱温度以上の約 600°C で形成すること以外、上記実施例の製造方法と同様である。

・【0067】このように、上記の各膜を誘電体薄膜 4 に用いる場合の製造方法では、上記実施例と同様に、MIM キャパシタ 51 を形成したのち、化合物半導体トランジスタ 50 を形成するので、化合物半導体トランジスタ 50 に、MIM キャパシタ 51 を形成する際の影響を与えないで済み、この結果、誘電体薄膜 4 を上記耐熱温度以上の温度で形成でき、誘電体薄膜 4 に、BaSrTiO₃ 膜や SrTiO₃ 膜、または TaO 膜を用いることができる効果がある。

・【0068】そして、本変形例の集積回路では、上記の通り、誘電体薄膜 4 を、BaSrTiO₃ や SrTiO₃；または TaO で構成しているので、MIM キャパシタ 51 の容量を飛躍的に増大できる効果がある。なお、参考として、SiN の ϵ_r は約 7.0 であるのに対して、BaSrTiO₃ の ϵ_r は約 100 である。

・【0069】また、他の変形例として、上記実施例の集積回路の MIM キャパシタ 51 の代わりに、薄膜抵抗や、超伝導素子のような能動素子などを用いてもよい。このように、薄膜抵抗や超伝導素子などを用いる場合でも、上述の製造方法と同じ方法で製造できるので、薄膜抵抗及び超伝導素子の容量を増大でき、薄膜抵抗または超伝導素子を小型化できる効果がある。また、正確な形状のゲート電極 11 を正確な位置に形成できる効果がある。

・【0070】さらに、他の変形例として、上記実施例の集積回路のコンタクトホール 55c の径を小さくして、上部金属 6 の上面の一部が、配線金属 5c の一端に接続されるようにしてもよく、この場合も、上記実施例の場合と同様の効果がある。

・【0071】実施例 2、図 4、図 6 (f) は、実施例 2 の集積回路を示す断面図であり、この集積回路は、先の実施例 1 の集積回路と同様、モノリシックマイクロ波集積回路であり、MIM キャパシタと化合物半導体トランジスタとを、化合物半導体基板上に集積形成したものである。

・【0072】図 4、図 6 (f) において、実施例 1 及び従来例と同じ符号のものは、実施例 1 におけるものと同様のものである。また、6A は上部金属であり、この上部金属 6A は、実施例 1 の上部金属 6 の膜厚を、MIM キャパシタ 51A の高さに影響を与えないように薄くしたものであり、このため、MIM キャパシタ 51 の RF 損失を十分には、小さくできないものである。さらに、7A は、誘電体薄膜 4 の上面の一部と、上部金属 6A の側面及び上面の一部と、さらに、後述する配線金属 5e の上部金属 6A 付近の側面とに設けられたパッシベーション膜 (SiO 膜) である。そして、51A は、上部金属

19

6 Aを上部電極とするMIMキャパシタである。

・【0073】また、12 Aはパッシベーション膜 (SiON膜) であり、このパッシベーション膜12は、化合物半導体基板1bの表面の一部を被うとともに、化合物半導体トランジスタ50の表面とMIMキャパシタ51 Aの表面とを被うものである。また、パッシベーション膜12 Aの膜厚は、その絶縁耐圧が、誘電体薄膜4の絶縁耐圧より大きくなる厚さとなっている。

・【0074】また、55 eは上部金属6 Aの上面の一部に設けられたコンタクトホール、5 fは、その一端をコンタクトホール55 b内に設けられ、オーミック電極10 bに接続されているとともに、他端をコンタクトホール56 b内に設けられ、下部金属3に接続されている配線金属である。また、5 eは、その一端をコンタクトホール55 e内に設けられ、上部金属6 Aに接続されているとともに、他端を給電層金属16 Aに接続されている配線金属である。なお、配線金属5 f、5 eは、Tiの層の上にAuの層を設けて構成されている。また、配線金属5 eの膜厚は、MIMキャパシタ51 AのRF損失を十分に小さくできる厚さである。

・【0075】また、15 Aは、パッシベーション膜12 Aとともに、配線金属5 a、5 f、5 e、5 dを被うパッシベーション膜 (SiON膜) である。さらに、16 Aは、配線金属5 eと配線金属5 dとに接続されている上記した給電層金属 (Ti/Au)、17 Aは、給電層金属16 Aに設けられたエアブリッジ (Au) である。これらの給電層金属16 Aとエアブリッジ17 Aとは、実施例1の場合と同様に、下部金属3のパターンエッジでの電界の集中を防ぐものである。

・【0076】次に、実施例2のモノリシックマイクロ波集積回路の製造方法を説明する。実施例2のモノリシックマイクロ波集積回路の製造方法では、実施例1の場合と同様、MIMキャパシタを先に作製してから、化合物半導体トランジスタを作製するようになっており、以下において、その詳細を図5 (a) ~ (g) と図6 (a) ~ (f) とに示す各断面図を用いて説明する。

・【0077】まず、図5 (a) に示すように、化合物半導体基板1c上に、SiO膜、Ti膜、Pt膜、さらに、SiN膜を、この順序で連続して被着し、化合物半導体基板1c上に、絶縁膜 (SiO膜) 2 B、下部金属膜 (Ti膜、Pt膜) 3 B、さらに、誘電体膜 (SiN膜) 4 bを形成する。

・【0078】誘電体膜4 bの形成後、図5 (b) に示すように、レジスト35 Aを誘電体膜4 bに形成して、上部金属6 Aを実施例1の上部金属6 と同様の要領で、誘電体膜4 b上のある領域に形成するとともに、レジスト35 A上に金属膜60を形成する。そののち、金属膜60とともにレジスト35 Aをリフトオフし、図5 (c) に示すように、絶縁膜7 Bを形成する。絶縁膜7 Bの形成後、図5 (d) に示すように、レジスト36 Aを形成し

20

て、レジスト36 Aのパターンに従って、絶縁膜7 b、誘電体膜4 b、下部金属膜3 B、絶縁膜2 Bにエッチングを行なう。この結果、化合物半導体基板1 B上に、MIMキャパシタ51が形成される。

・【0079】MIMキャパシタ51の形成後、図5 (e) に示すように、レジスト36 Aを除去したのち、図5 (f)、(g) と図6 (a) とに示すように、実施例1と同様の要領で、化合物半導体基板1 bとともに化合物半導体トランジスタ50を形成する。すなわち、MIMキャパシタ51 bと化合物半導体基板1 b上とをレジストで被ったのち、該レジストのゲートのレジストパターンを形成することにより、レジスト38 Aを形成し、さらに、基板凹部20を形成したのちゲート電極11を形成する。

・【0080】そして、図6 (b) に示すように、パッシベーション膜12 Cを、化合物半導体基板1 bの表面の一部分と、化合物半導体トランジスタ50の表面と、MIMキャパシタ51 bの表面とに被着する。

・【0081】パッシベーション膜12 Cの形成後、図6 (c) に示すように、コンタクトホール13 aして、パッシベーション膜12 Bを形成するとともに、配線金属13を形成する。配線金属13の形成後、図6 (d) に示すように、コンタクトホール55 a、55 b、56 b、55 eを形成して、パッシベーション膜12 Aを形成するとともに、配線金属5 a、5 d、5 e、5 fを形成する。そののち、図6 (e) に示すように、パッシベーション膜15 Bを被着し、さらに、図4、図6 (f) に示す、コンタクトホール56 c、55 dをパッシベーション膜15 Bに形成する。これにより、パッシベーション膜15 Aが形成される。そののち、給電層金属16 Aを、配線金属5 eと配線金属5 dとに接続して、さらに、給電層金属16 A上にエアブリッジ17 Aを形成する。この結果、実施例2のモノリシックマイクロ波集積回路が作製される。

・【0082】このように、上部金属6 Aが、MIMキャパシタ51 Aの高さに殆ど影響を与えない薄さであり、配線金属5 eの膜厚が、上部金属6 Aの膜厚以上であるので、化合物半導体トランジスタ50を形成する際に、MIMキャパシタ51を被うレジスト38 Aの高さを、上部金属6 Aを薄くした分薄くでき、これにより、レジスト38 Aに形成されたゲートパターンの形状を正確にでき、この結果、正確な形状のゲート電極11を正確な位置に形成できる効果があり、また、配線金属5 eが、上部金属6 Aの膜厚以上であるとともに、MIMキャパシタ51 AのRF損失を十分に小さくできる大きさであるので、上記の効果とともに、MIMキャパシタ51のRF損失を、十分に小さくできる効果がある。

・【0083】なお、実施例2のMIMキャパシタ51 Aでは、実施例1のMIMキャパシタ51と比べて、上部金属の膜厚だけを薄くしているが、当然、上部金属以外

21

の各膜の膜厚も薄くしてもよい。一例を述べると、絶縁膜 2 の膜厚を 500 オングストローム、下部金属 3 の膜厚を 2500 オングストローム、誘電体薄膜 4 の膜厚を 1000 オングストローム、上部金属 6 A の膜厚を 500 オングストローム、パッシベーション膜 7 A の膜厚を 500 オングストロームとして、MIM キャパシタ 51 A の厚みを $0.5 \mu\text{m}$ とする。このような、膜厚の膜状態を使用する場合は、MIM キャパシタ 51 A の RF 損失を、十分に小さくするため、配線金属 5 e の膜厚を、2500 オングストロームとする。

・【0084】また、実施例 2 の集積回路では、誘電体薄膜 4 に SiN 膜を用いているが、上述の実施例 1 の場合と同様、誘電体薄膜 4 に、BaSrTiO₃ 膜や SrTiO₃ 膜、または TaO 膜を用いてもよく、これにより、MIM キャパシタ 51 の容量を増大できる効果がある。

・【0085】さらに、実施例 2 の集積回路では、実施例 1 の場合と同様、上記実施例の集積回路の MIM キャパシタ 51 A の代わりに、薄膜抵抗や、超伝導素子のような能動素子などを用いてもよい。このように、薄膜抵抗や超伝導素子などを用いる場合でも、上述の製造方法と同じ方法で製造できるので、薄膜抵抗及び超伝導素子の容量を増大でき、薄膜抵抗または超伝導素子を小型化できる効果がある。また、正確な形状のゲート電極 11 を正確な位置に形成できる効果がある。

・【0086】なお、上述の実施例 1 の集積回路においても、上部金属 6 の膜厚を、上部金属 6 A の膜厚と同じ大きさにするとともに、配線金属 5 c の膜厚を、配線金属 5 e の膜厚と同じ大きさにしてもよい。この場合の集積回路を製造する方法は、上記実施例 1 で述べた方法と同様である。また、このような集積回路は、上記実施例 1 の集積回路と同様の効果があるとともに、上部金属 6 が薄くなっているため、上部金属 6 が薄くなった分、基板凹部 21 の彫り込みの深さを、小さくできる効果がある。

・【0087】

・【発明の効果】本発明の集積回路の製造方法（請求項 1）によれば、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路を製造する方法において、高段な部分と低段な部分とを有する上記基板を形成する工程と、上記受動素子または能動素子を上記基板の低段な部分に形成する工程と、上記受動素子または能動素子と上記基板上とをレジストで被う工程と、該レジストのうちの上記高段な部分の所要の領域を被う部分を除去して上記レジストを上記トランジスタの電極パターンを有するようパターニングする工程と、上記パターニングされた上記レジスト上と上記所要の領域上とに電極材料を被着し、そののち、リフトオフにより上記レジストと上記レジスト上の上記電極部材とを除去して上記所要の領域の上記電極を形成する工程とを含む

22

ものとしたので、上記レジストの上記高段な部分からの高さを、上記高段な部分と上記低段な部分との段差の長さ以内に小さくでき、高さが低くなった分、上記レジストの上記電極パターンをより正確に形成でき、この結果、より正確な形状の上記電極をより正確な位置に形成できる効果がある。

・【0088】本発明の集積回路（請求項 2）によれば、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路において、上記基板が高段な部分と低段な部分とを有し、上記受動素子または能動素子が上記低段な部分に設けられ、上記トランジスタが上記高段な部分に設けられているので、上記受動素子または能動素子を上記低段な部分に形成して、これと上記基板とをレジストで被い、そののち、該レジストのうちの上記高段な部分上の所要の領域を被う部分を除去して、上記レジストを上記トランジスタの電極パターンを有するようパターニングし、さらに、電極部材を上記レジスト上と上記所要の領域上とに被着して、上記領域に上記トランジスタの電極を形成することにより、上記レジストの上記高段な部分からの高さを、上記高段な部分と上記低段な部分との段差の分以内に小さくでき、上記レジストの高さを低くできた分、上記レジストの上記電極パターンをより正確に形成でき、この結果、より正確な形状の上記電極をより正確な位置に形成できる効果がある。また、回路表面の突起を小さくして回路を薄型化できる効果がある。

・【0089】本発明の集積回路（請求項 3）によれば、上記集積回路（請求項 2）において、上記低段な部分からの上記受動素子または能動素子の高さが、上記低段な部分からの上記トランジスタの高さ以下であるので、上記受動素子または能動素子を上記低段な部分に形成して、これと上記基板とをレジストで被い、そののち、該レジストのうちの上記高段な部分上の所要の領域を被う部分を除去して、上記レジストを上記トランジスタの電極パターンを有するようパターニングし、さらに、電極部材を上記レジスト上と上記所要の領域上とに被着して、上記領域に上記トランジスタの電極を形成することにより、上記レジストの厚さを、上記トランジスタの高さに応じて決めることができ、上記レジストの上記電極パターンをより正確に形成でき、この結果、より正確な形状の上記電極をより正確な位置に形成できる効果がある。

・【0090】本発明の集積回路の製造方法（請求項 4）によれば、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路を製造する方法において、上記受動素子または能動素子を上記基板上に形成する工程と、上記受動素子または能動素子を形成したのちに上記トランジスタを上記基板上に形成する工程とを含むものとしたので、従来例の集積回路の製造方法のように、上記受動素子または能動素子の形成中に、上記

トランジスタを被うレジストを除去する必要がなくなり、これにより、上記レジストの除去の際の異物や酸化物が、上記受動素子または能動素子の中に混入しなくなる効果がある。また、上記受動素子または能動素子を形成する際の熱の影響を上記トランジスタに与えない効果がある。

・【0091】本発明の集積回路の製造方法（請求項5）によれば、上記集積回路の製造方法（請求項4）において、上記受動素子または能動素子を上記基板上に形成する上記工程は、上記基板表面の同一領域の上に第1ないし第n（nは1以上の任意の整数）の膜状体をこの順序で積層し、そののち、上記各膜状体の上記基板上の所要の領域上に形成された部分以外を除去して上記所要の領域上に上記受動素子または能動素子を形成するものであり、上記受動素子または能動素子を形成したのちに上記トランジスタを上記基板上に形成する上記工程は、上記所要の領域以外の上記基板上の領域に上記トランジスタを形成するものである。従来例の集積回路の製造方法のように、上記受動素子または能動素子の形成中に、上記トランジスタを被うレジストを除去する必要がなくなり、この結果、レジスト除去の際の異物や酸化物が、上記各膜状体の間に混入しなくなり、これにより、上記受動素子または能動素子を高性能化でき、上記受動素子または能動素子の面積を縮小化できる効果がある。また、上述の図10に示す集積回路の製造方法のように、上記トランジスタを被う絶縁膜を厚くしなくても、上記膜状体を除去する際の異物が、上記トランジスタの表面の絶縁膜に残らなくなる効果がある。

・【0092】本発明の集積回路の製造方法（請求項6）によれば、上記集積回路の製造方法（請求項4）において、上記受動素子または能動素子を上記基板上に形成する上記工程は、上記受動素子または能動素子を第1の温度で上記基板上に形成するものであり、上記受動素子または能動素子を形成したのちに上記トランジスタを上記基板上に形成する上記工程は、上記トランジスタを第1の温度以下の第2の温度で上記基板に形成するものである。従来例の集積回路の製造方法のように、上記受動素子または能動素子を構成する物質に、 BaSrTiO_3 、 SrTiO_3 ；または TaO のような、上記第1の温度以上の温度で形成されるものを使用でき、これにより、上記受動素子または能動素子を高性能化でき、上記受動素子または能動素子の面積を縮小化できる効果がある。

・【0093】本発明の集積回路（請求項7）によれば、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路において、上記受動素子または能動素子がキャパシタであり、該キャパシタの誘電体が、上記トランジスタ形成時の温度よりも高温で上記基板上に形成された、 BaSrTiO_3 、 SrTiO_3 、または TaO からなるものである。従来例の集積回路の製造方法のように、上記受動素子または能動素子を構成する物質に、 BaSrTiO_3 、 SrTiO_3 ；または TaO のような、上記第1の温度以上の温度で形成されるものを使用でき、これにより、上記受動素子または能動素子を高性能化でき、上記受動素子または能動素子の面積を縮小化できる効果がある。

き、これにより、上記キャパシタの面積を縮小化できる効果がある。

・【0094】本発明の集積回路の製造方法（請求項8）によれば、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路を製造する方法において、その上端に薄膜状の電極を有する上記受動素子または能動素子を上記基板上に形成する工程と、上記受動素子または能動素子と上記基板上とをレジストで被う工程と、該レジストのうちの上記基板の所要の領域を被う部分を除去して上記レジストを上記トランジスタの電極パターンを有するようパターニングする工程と、上記パターニングされた上記レジスト上と上記所要の領域上とに電極材料を被着し、そののち、リフトオフにより上記基板から上記レジストと上記レジスト上の上記電極部材とを除去して上記所要の領域上に上記トランジスタの電極を形成する工程と、上記リフトオフののち上記薄膜状の電極の厚さ以上の厚さの金属部材を上記の薄い膜状の電極上に形成する工程とを含むものとしたので、上記レジストの高さを上記薄膜状の電極の薄い分低くでき、該レジストの高さを低くできた分、上記レジストの上記電極パターンをより正確に形成でき、この結果、より正確な形状の上記トランジスタの電極をより正確な位置に形成できる効果がある。

・【0095】本発明の集積回路の製造方法（請求項9）によれば、上記集積回路の上記製造方法（請求項8）において、上記受動素子または能動素子が、その上端に薄膜状の電極を有するキャパシタであり、上記金属部材の厚さが上記薄膜状の電極の厚さ以上であり、かつ、上記キャパシタのRF損失を所定の値以下とする厚さであるので、上記レジストの高さを、上記薄膜状の電極の薄い分低くでき、該レジストを低くできた分、上記トランジスタの電極をより正確に形成でき、また、形成された上記集積回路では、上記金属部材によって、形成された上記キャパシタのRF損失を、所定の値以下にできる効果がある。

・【0096】本発明の集積回路（請求項10）によれば、受動素子または能動素子と、トランジスタとを基板上に集積形成している集積回路において、上記受動素子または能動素子は、その上端に薄膜状の電極を有するものであり、上記電極上に上記電極の厚さ以上の厚さの金属部材が設けられているので、上記受動素子または能動素子を形成して、これと上記基板とをレジストで被い、そののち、該レジストのうちの所要の領域を被う部分を除去して、上記レジストを上記トランジスタの電極パターンを有するようパターニングし、さらに、電極部材を上記レジスト上と上記所要の領域上とに被着したのち、上記レジストと上記レジスト上の電極部材とをリフトオフして、上記領域に上記トランジスタの電極を形成し、そののち、上記薄膜状の電極上に上記金属部材を形成することにより、上記薄膜状の電極を薄くしている分、上

25

記レジストをより低くでき、これにより、上記レジストの上記電極パターンをより正確に形成でき、この結果、より正確な形状の上記電極をより正確な位置に形成できる効果がある。

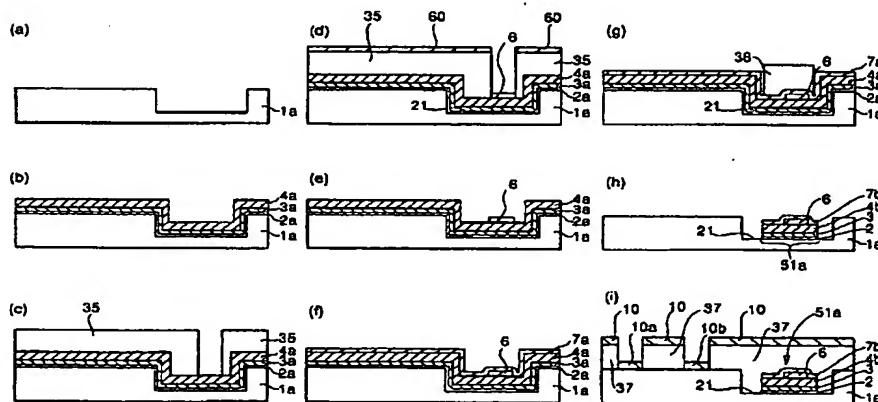
・【0097】本発明の集積回路（請求項11）によれば、上記集積回路（請求項10）において、上記受動素子または能動素子が、その上端に薄膜状の電極を有するキャパシタであり、上記金属部材の厚さが上記薄膜状の電極の厚さ以上であり、かつ、上記キャパシタのRF損失を所定の値以下とする厚さであるので、上記受動素子または能動素子を形成して、これと上記基板とをレジストで被い、そののち、該レジストのうちの所要の領域を被う部分を除去して、上記レジストを上記トランジスタの電極パターンを有するようパターニングし、さらに、電極部材を上記レジスト上と上記所要の領域上とに被着したのち、上記レジストと上記レジスト上の電極部材とをリフトオフして、上記領域に上記トランジスタの電極を形成し、そののち、上記薄膜状の電極上に上記金属部材を形成することにより、上記薄膜状の電極を薄くしている分、上記レジストをより低くでき、これにより、上記レジストの上記電極パターンをより正確に形成でき、この結果、より正確な形状の上記電極をより正確な位置に形成できる効果があり、また、上記受動素子または能動素子のRF損失を、所定の値以下にできる効果がある。

・【図面の簡単な説明】

・【図1】 本発明の実施例1によるモノリシックマイクロ波集積回路の構造を示す断面図である。

・【図2】 本発明の実施例1によるモノリシックマイクロ波集積回路の製造工程を示す断面図である。

・【図2】



26

・【図3】 図2に続く、本発明の実施例1によるモノリシックマイクロ波集積回路の製造工程を示す断面図である。

・【図4】 本発明の実施例2によるモノリシックマイクロ波集積回路の構造を示す断面図である。

・【図5】 本発明の実施例2によるモノリシックマイクロ波集積回路の製造工程を示す断面図である。

・【図6】 図5に続く、本発明の実施例2によるモノリシックマイクロ波集積回路の製造工程を示す断面図である。

・【図7】 従来例におけるモノリシックマイクロ波集積回路の構造を示す断面図である。

・【図8】 従来例におけるモノリシックマイクロ波集積回路の製造工程を示す断面図である。

・【図9】 図8に続く、従来例におけるモノリシックマイクロ波集積回路の製造工程を示す断面図である。

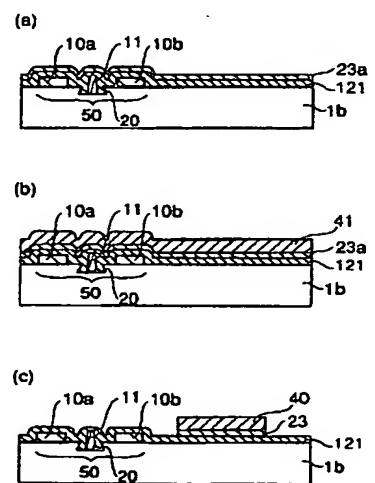
・【図10】 従来の製造工程の他の例を示す断面図である。

・【符号の説明】

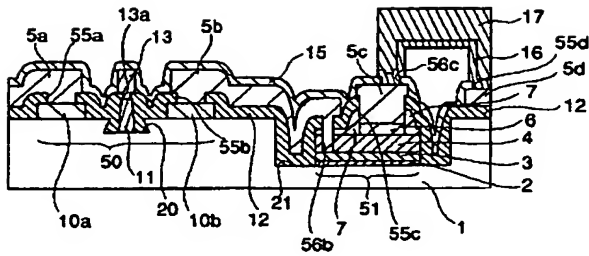
1, 1b 化合物半導体基板、2 絶縁膜、3 下部金属、4 誘電体薄膜、5a, 5b, 5c, 5d, 5e, 5f 配線金属、6, 6A 上部金属、7, 7A パッシベーション膜、10a, 10b オーシク電極、11 ゲート電極、12, 12A パッシベーション膜、13 金属配線、15, 15Aパッシベーション膜、16, 16A 給電層金属、17, 17A エアブリッジ、50 化合物半導体トランジスタ、51, 51A MIMキャパシタ、55a, 55b, 55c, 55d, 55e, 56b, 56c コンタクトホール。

* 30

・【図10】

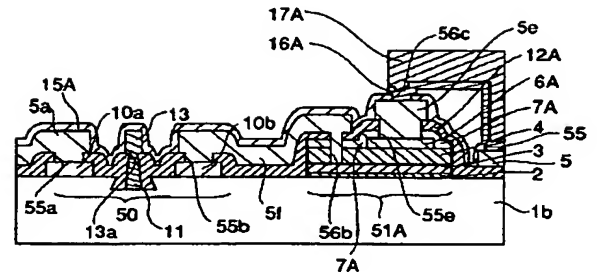


・【図 1】



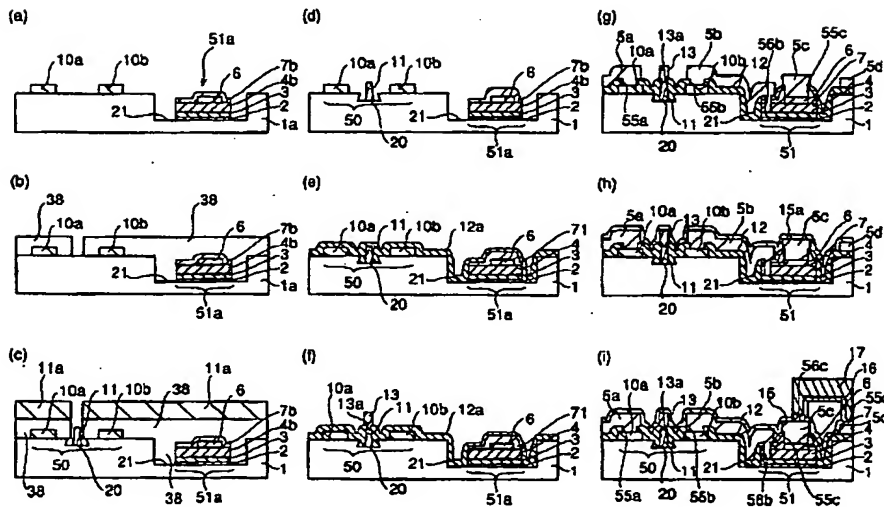
- 1: 化合物半導体基板
 2: 絶縁膜
 3: 下部金属
 4: 誘電体薄膜
 5a, 5b, 5c, 5d: 配線金属
 6: 上部金属
 7: パッシベーション膜
 10a, 10b: オーミック電極
 11: ゲート電極
 12, 12A: パッシベーション膜
 13: 金属配線
 15: パッシベーション膜
 16: 給電層金属
 17: エアブリッジ
 50: 化合物半導体トランジスタ
 51: MIMキャパシタ
 55a, 55b, 55c, 55d, 56b, 56c: コンタクトホール

・【図 4】

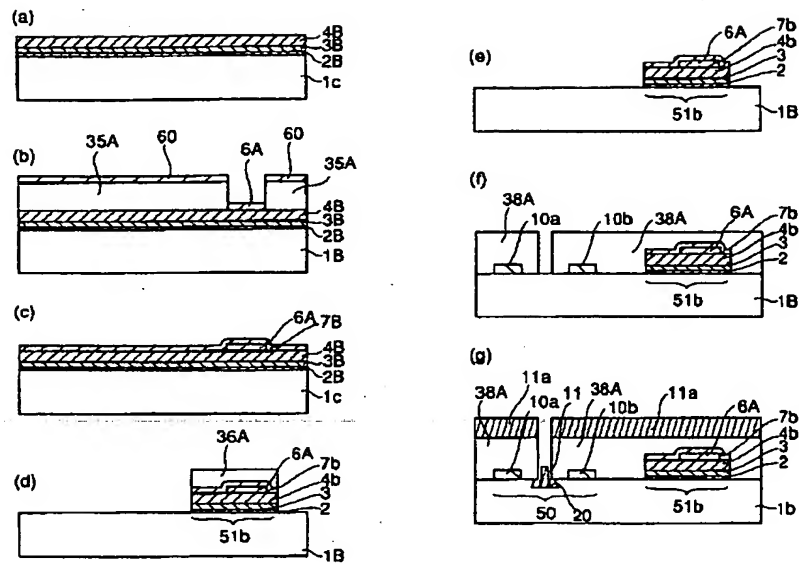


- 1b: 化合物半導体基板
 5e, 5f: 配線金属
 6A: 上部金属
 7A: パッシベーション膜
 12A: パッシベーション膜
 13: 金属配線
 15A: パッシベーション膜
 16A: 給電層金属
 17A: エアブリッジ
 51A: MIMキャパシタ
 55e: コンタクトホール

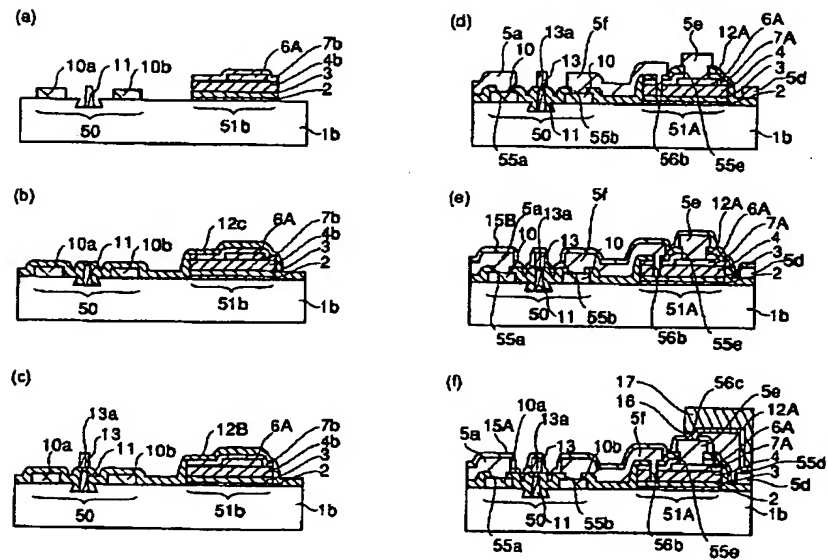
・【図 3】



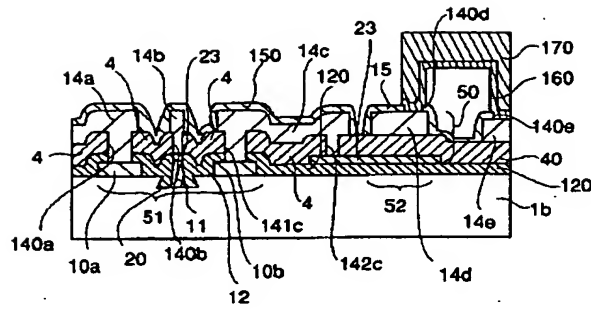
〔図 5〕



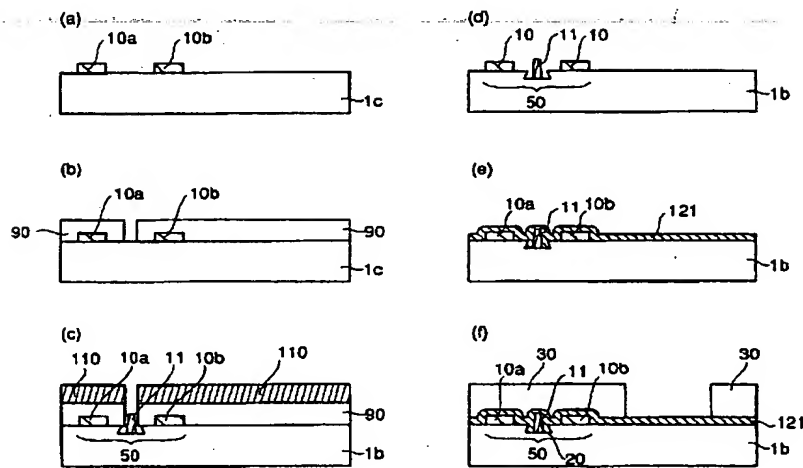
〔図 6〕



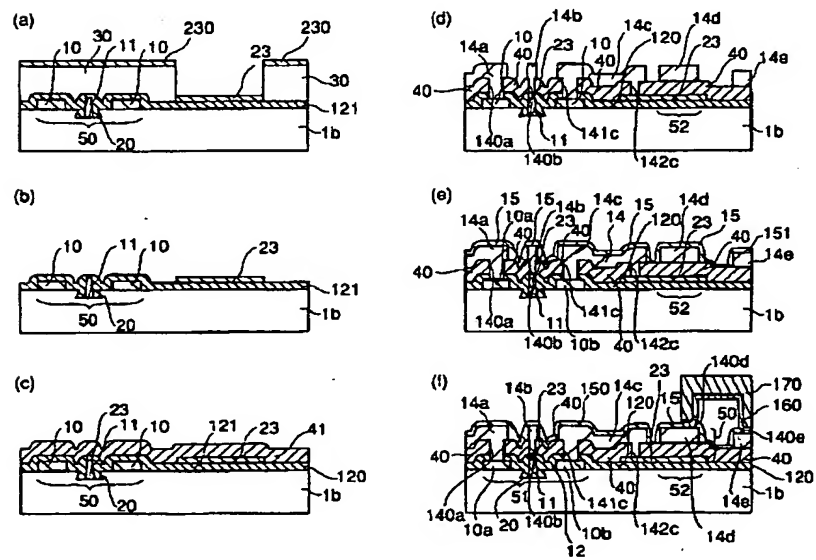
・【図 7】



・【図 8】



・【図 9】



フロントページの続き

(51) Int. Cl. 6-

・ H 0 1 L 21/768
27/04
21/822
29/40

識別記号

庁内整理番号

F I

技術表示箇所

A

H 0 1 L 27/04

C.